

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-022145  
(43)Date of publication of application : 24.01.2003

(51)Int.Cl. G06F 1/08  
G06F 1/06  
// H03K 5/00  
H03K 17/00

(21)Application number : 2001-204947  
(22)Date of filing : 05.07.2001

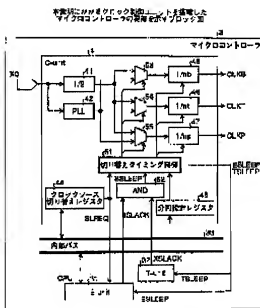
(71)Applicant : FUJITSU LTD  
(72)Inventor : MASUDA MASASHI  
YAMASHITA HIROYOSHI  
HARA AKIO  
KITAGAWA KOJI

## (54) CLOCK CONTROLLER AND METHOD FOR CONTROLLING CLOCK

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent lowering of internal voltage than an assurance range by reducing voltage fluctuation in transition from a low-speed clock to a high-speed clock and thus, to evade occurrence of a malfunction in clock control to switch and control clocks to be used in a semiconductor integrated circuit such as a microcontroller.

**SOLUTION:** In switching a clock source from the low-speed clock to the high-speed clock, the clocks are switched after setting the clock source in a sleep mode, or the sleep mode is set after switching the clocks, or transition to the sleep mode and switching of the clocks are simultaneously performed and after that, the clock source is restored from the sleep mode to a normal mode when oscillation of the high-speed clock and the internal voltage are stabilized.



### LEGAL STATUS

[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

(51) Int. Cl.<sup>7</sup> 識別記号

G 0 6 F 1/08  
1/06  
// H 0 3 K 5/00  
17/00

F I

H 0 3 K 17/00  
G 0 6 F 1/04  
H 0 3 K 5/00

テーマコード(参考)

F 5 B 0 7 9  
3 2 0 A 5 J 0 5 5  
3 1 0 A  
X

審査請求 未請求 請求項の数10 O L (全 16 頁)

(21) 出願番号 特願2001-204947(P2001-204947)

(22) 出願日 平成13年7月5日(2001.7.5)

(71) 出願人 00005223

富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 増田 雅士

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 山下 博義

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 100104190

弁理士 酒井 昭徳

最終頁に続く

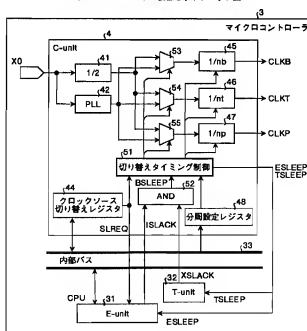
(54) 【発明の名称】 クロック制御装置およびクロック制御方法

(57) 【要約】

【課題】 マイクロコントローラ等の半導体集積回路で使用されるクロックの切り替え制御をおこなうクロック制御において、低速クロックから高速クロックへ遷移するときの電圧変動を小さくして、内部電圧が保証範囲を下まわのを防ぎ、それによって誤動作の発生を回避すること。

【解決手段】 クロックソースを低速クロックから高速クロックに切り替える際に、スリープモードにしてからクロックを切り替えるか、またはクロックを切り替えた後にスリープモードにするか、またはスリープモードへの遷移とクロックの切り替えを同時におこない、その後、高速クロックの発振および内部電圧が安定したらスリープモードから通常モードへ復帰する。

本発明にかかるクロック制御ユニットを搭載した  
マイクロコントローラの要部を示すブロック図



## 【特許請求の範囲】

【請求項 1】 低速クロックを供給する低速クロック供給手段と、

前記低速クロックよりも周波数の高い高速クロックを供給する高速クロック供給手段と、

前記低速クロック供給手段から出力された低速クロックと前記高速クロック供給手段から出力された高速クロックのいずれか一方を選択する選択手段と、

前記選択手段による出力クロックの選択を制御する制御手段と、

現クロックより速いクロックへの切り替え対象となる 1 または 2 以上のユニットに、前記選択手段が前記現クロックより速いクロックを選択して出力する前に当該ユニットをスリープ状態に移させ、かつ前記現クロックより速いクロックが出力された後に当該ユニットを通常状態に移させるスリープ制御手段と、

を具備することを特徴とするクロック制御装置。

【請求項 2】 低速クロックを供給する低速クロック供給手段と、

前記低速クロックよりも周波数の高い高速クロックを供給する高速クロック供給手段と、

前記低速クロック供給手段から出力された低速クロックと前記高速クロック供給手段から出力された高速クロックのいずれか一方を選択する選択手段と、

前記選択手段による出力クロックの選択を制御する制御手段と、

現クロックより速いクロックへの切り替え対象となる 1 または 2 以上のユニットに、前記選択手段が前記現クロックより速いクロックを選択して出力した直後に当該ユニットをスリープ状態に移させ、かつその後再び当該ユニットを通常状態に移させるスリープ制御手段と、

を具備することを特徴とするクロック制御装置。

【請求項 3】 低速クロックを供給する低速クロック供給手段と、

前記低速クロックよりも周波数の高い高速クロックを供給する高速クロック供給手段と、

前記低速クロック供給手段から出力された低速クロックと前記高速クロック供給手段から出力された高速クロックのいずれか一方を選択する選択手段と、

前記選択手段による出力クロックの選択を制御する制御手段と、

現クロックより速いクロックへの切り替え対象となる 1 または 2 以上のユニットに、前記選択手段が前記現クロックより速いクロックを選択して出力すると同時に当該ユニットをスリープ状態に移させ、かつその後再び当該ユニットを通常状態に移させるスリープ制御手段と、

を具備することを特徴とするクロック制御装置。

【請求項 4】 前記現クロックより速いクロックへの切

り替え対象となるユニットが複数ある場合、前記スリープ制御手段は、前記現クロックより速いクロックへの切り替え時にスリープ状態に移させた複数のユニットを 2 回以上に分けて通常状態に移移させることを特徴とする請求項 1～3 のいずれか一つに記載のクロック制御装置。

【請求項 5】 低速クロックを供給する低速クロック供給手段と、

前記低速クロックよりも周波数の高い高速クロックを供給する高速クロック供給手段と、

前記低速クロック供給手段から出力された低速クロックと前記高速クロック供給手段から出力された高速クロックのいずれか一方を選択する選択手段と、

前記選択手段による出力クロックの選択を制御する制御手段と、

現クロックより速いクロックへの切り替え対象となる複数のユニットに対し、1 または 2 以上のユニット毎にまとめて、前記選択手段が前記現クロックより速いクロックを選択して出力する前に当該ユニットをスリープ状態に移させ、かつ前記現クロックより速いクロックが出力された後に当該ユニットを通常状態に移移させるスリープ制御手段と、

を具備することを特徴とするクロック制御装置。

【請求項 6】 低速クロックを供給する低速クロック供給手段と、

前記低速クロックよりも周波数の高い高速クロックを供給する高速クロック供給手段と、

前記低速クロック供給手段から出力された低速クロックと前記高速クロック供給手段から出力された高速クロックのいずれか一方を選択する選択手段と、

前記選択手段による出力クロックの選択を制御する制御手段と、

現クロックより速いクロックへの切り替え対象となる複数のユニットに対し、1 または 2 以上のユニット毎にまとめて、前記選択手段が前記現クロックより速いクロックを選択して出力した直後に当該ユニットをスリープ状態に移移させ、かつその後再び当該ユニットを通常状態に移移させるスリープ制御手段と、

を具備することを特徴とするクロック制御装置。

【請求項 7】 低速クロックを供給する低速クロック供給手段と、

前記低速クロックよりも周波数の高い高速クロックを供給する高速クロック供給手段と、

前記低速クロック供給手段から出力された低速クロックと前記高速クロック供給手段から出力された高速クロックのいずれか一方を選択する選択手段と、

前記選択手段による出力クロックの選択を制御する制御手段と、

現クロックより速いクロックへの切り替え対象となる複数のユニットに対し、1 または 2 以上のユニット毎にま

とめて、前記選択手段が前記現クロックより速いクロックを選択して出力すると同時に当該ユニットをスリープ状態に移移させ、かつその後再び当該ユニットを通常状態に移移させるスリープ制御手段と、を具備することを特徴とするクロック制御装置。

【請求項 8】 低速クロックを供給する低速クロック供給手段と、

前記低速クロックよりも周波数の高い高速クロックを供給する高速クロック供給手段と、

前記低速クロック供給手段から出力された低速クロックと前記高速クロック供給手段から出力された高速クロックのいずれか一方を選択する選択手段と、

前記選択手段による出力クロックの選択を制御する制御手段と、

前記選択手段により選択されて出力された高速クロックを分周する分周手段と、

前記分周手段が現クロックより速いクロックへの切り替え対象となるユニットに供給するクロックが段階的に速くなるように、前記分周手段の分周比を設定する分周比設定手段と、

を具備することを特徴とするクロック制御装置。

【請求項 9】 前記現クロックより速いクロックへの切り替え対象となるユニットに、前記分周手段が分周比の異なるクロックを出力するたびに、前記分周比の異なるクロックの出力直後に当該ユニットをスリープ状態に移移させ、かつその後再び当該ユニットを通常状態に移移させるスリープ制御手段をさらに具備することを特徴とする請求項 8 に記載のクロック制御装置。

【請求項 10】 現クロックより速いクロックへの切り替え対象となる 1 または 2 以上のユニットをスリープ状態に移移させる工程と、

スリープ状態の当該ユニットに供給するクロックを前記現クロックより速いクロックに切り替える工程と、

前記現クロックより速いクロックに切り替えた当該ユニットを通常状態に移移させる工程と、

を含むことを特徴とするクロック制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マイクロコントローラ等の半導体集積回路で使用されるクロックの切り替え制御をおこなうクロック制御装置およびクロック制御方法に関する。

【0002】近年、マイクロコントローラ等では、PLL によって原振振を通信したクロックが用いられており、それによって高速動作が実現されている。このように、クロックスピードの高速化が求められているが、その一方で、低消費電力動作を両立するために低速での動作も要求されている。したがって、目的に応じてクロックスピードを切り替えることになるが、低速のクロックスピードと高速のクロックスピードとの切り替えをスム

ーズにおこなう必要がある。

【0003】

【従来の技術】図 16 は、従来のクロック制御ユニットを搭載したマイクロコントローラの要部を示すブロック図である。このマイクロコントローラ 1 は、クロックの切り替え制御をおこなう C ユニット (C-unit) 2、CPU 本体 (コア) となる E ユニット (E-unit) 11、および外部バスインターフェースの制御をおこなう T ユニット (T-unit) 12 が内部バス 13 に接続された構成となっている。

【0004】C ユニット 2 は、外部発振入力 (X0) を 2 分周する 2 分周器 (1/2) 21、外部発振入力 (X0) を通信する PLL 22、および 2 分周器 21 の出力クロックおよび PLL 22 の出力クロックのいずれか一方を選択するセレクト 23 を有する。セレクト 23 はクロックソース切り替えレジスタ 24 の格納値に応じてクロックの選択をおこなう。また、C ユニット 2 は、セレクト 23 の出力クロックをそれぞれ分周して、CPU 本体向けのクロック CLK\_B を出力する CLK\_B 用 nb 分周器 (1/nb) 25、外部バスインターフェース向けのクロック CLK\_T を出力する CLK\_T 用 nt 分周器 (1/nt) 26、および周辺回路向けのクロック CLK\_P を出力する CLK\_P 用 np 分周器 (1/np) 27 を有する。これら CLK\_B 用 nb 分周器 (1/nb) 25、CLK\_T 用 nt 分周器 (1/nt) 26、CLK\_P 用 np 分周器 (1/np) 27 の分周比は、分周設定レジスタ 28 の格納値に応じて設定される。

【0005】上述した構成のマイクロコントローラ 1 では、そのリセット解除後に、まず 2 分周器 21 により外部発振入力 (X0) の 2 分周で動作する。この 2 分周で動作している期間に各種初期化動作がおこなわれる。つづいて、PLL 22 の通信率が設定され、PLL 22 の発振が安定した後、分周設定レジスタ 28 に、目的の周波数になるように分周比が設定される。その後、内部回路への供給クロックを外部発振入力 (X0) の 2 分周から PLL 系クロックへ切り替えるために、クロックソース切り替えレジスタ 24 に「1」を書き込んで PLL 22 をイネーブルさせる。これによって、マイクロコントローラ 1 の内部クロックは低速から高速へ移行し、したがってマイクロコントローラ 1 は高速で動作することになる。

【0006】

【発明が解決しようとする課題】しかしながら、上述した従来のクロック制御ユニットを搭載したマイクロコントローラ 1 では、図 17 に示すように、クロックソースを低速クロック (たとえば 2 MHz z) から高速クロック (たとえば 64 MHz z) に切り替えるときに内部回路の消費電流 Icc がたとえば 10 mA から 300 mA に急激に増加する。そのため、大きな電圧降下が起こり、内部電圧 Vcc が保証範囲を下まわってしまうことがあ

り、それによって誤動作が発生するという問題点がある。

【0007】本発明は、上記問題点に鑑みてなされたものであって、低速クロックから高速クロックへ遷移するときの電圧変動を小さくして、内部電圧が保証範囲を下まわるのを防ぎ、それによって誤動作の発生を回避することが可能なクロック制御装置およびクロック制御方法を提供することを目的とする。

【0008】

【課題を解決するための手段】上記目的を達成するため、本発明は、クロックソースを低速クロックから高速クロックに切り替える際に、クロック切り替え対象となるユニットをスリープモードにしてからクロックを切り替えるか、またはクロックを切り替えた後にスリープモードにするか、またはスリープモードへの遷移とクロックの切り替えを同時におこない、その後、高速クロックの発振および内部電圧が安定したらスリープモードから通常モードへ復帰する構成としたものである。

【0009】この発明によれば、クロックを低速から高速に切り替える際にクロック切り替え対象となるユニットがスリープモードに移行することによって、内部抵抗が大きくなり、電圧降下の時間軸に対する度合いがさがり、したがって、内部電圧が復帰するまで保証電圧を保持することができる。また、スリープモードへ移行することによって、クロック切り替え対象となるユニットにおいて、スリープモードへの移行時の状態が保持される。

【0010】この発明において、スリープモードを解除する対象となるユニットが複数ある場合には、それら複数のユニットに対する各スリープ信号を同時ではなく、段階的に解除するようにしてもよい。そうすれば、スリープ信号を解除する際の内部抵抗の変化が小さくなるので、消費電流の変化度合いが小さくなり、内部電圧の降下を緩和することができる。したがって、内部電圧が復帰するまで保証電圧を保持することができる。

【0011】また、内部クロックが複数ある場合には、上述したクロックソースの切り替えを各内部クロック毎におこなう構成とする。それによって、複数の内部クロックが同時ではなく、順次高速クロックに切り替わるので、消費電流の変化幅が少しずつになり、内部電圧の降下を緩和することができる。

【0012】また、上記目的を達成するため、本発明は、クロックソースを低速クロックから高速クロックに切り替える際に、クロックスピードを段階的に速くすることと特徴とする。この発明によれば、クロックスピードが徐々に速くなるので、消費電流の変化幅が少しずつになり、内部電圧の降下を緩和することができる。また、この発明において、クロックスピードを一段階速くする毎に一旦スリープモードへ遷移し、通常モードへ復帰後にもう一段階速いスピードに切り替える構成として

もよい。そうすれば、スリープモードに移行することによって、上述したように、内部電圧が復帰するまで保証電圧を保持することができ、またスリープモードへの移行時の状態を保持することができる。

【0013】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照しつつ詳細に説明する。図1は、本発明にかかるクロック制御ユニットを搭載したマイクロコントローラの要部を示すブロック図である。このマイクロコントローラ3は、クロックの切り替え制御をおこなうCユニット(C-unit)4、CPU本体(コア)となるEユニット(E-unit)31、および外部バスインターフェースの制御をおこなうTユニット(T-unit)32が内部バス33に接続された構成となっている。

【0014】Cユニット4は、たとえば、外部発振入力(X0)を2分周する2分周器(1/2)41、外部発振入力(X0)を通信するPLL42、および2分周器41の出力クロックおよびPLL42の出力クロックのいずれか一方を選択する3個のセレクト53、54、55を有する。セレクト53、54、55はクロックソース切り替えレジスタ44の格納値に応じてクロックの選択をおこなう。2分周器41およびPLL42は、それぞれ低速クロックを供給する低速クロック供給手段、および高速クロックを供給する高速クロック供給手段としての機能を有する。セレクト53、54、55は低速クロックと高速クロックのいずれか一方を選択する選択手段としての機能を有する。クロックソース切り替えレジスタ44はセレクト53、54、55の出力クロックの選択を制御する制御手段としての機能を有する。

【0015】また、Cユニット4は、セレクト53、54、55の出力クロックをそれぞれ分周して、CPU本体向けのクロックCLKBを出力するCLKB用nb分周器(1/nb)45、外部バスインターフェース向けのクロックCLKTを出力するCLKT用n分周器(1/n)46、および周辺回路向けのクロックCLKPを出力するCLKP用np分周器(1/np)47を分周手段として有する。これらCLKB用nb分周器(1/nb)45、CLKT用n分周器(1/n)46、CLKP用np分周器(1/np)47の分周比は、分周比設定手段である分周設定レジスタ48の格納値に応じて設定される。

【0016】クロックソース切り替えレジスタ44は、クロック切り替え要求(レジスタリクエスト)がおこなわれると、Eユニット31に対してスリープエント信号SLREQを出力し、CPU動作の停止要求をおこなう。CPUの動作停止が可能な状態であれば、Eユニット31はCユニット4にスリープアノリッジ信号SLACKを出力する。また、Tユニット32も、動作中でなければ、Cユニット4にスリープ状態に遷移してもよいことを表すスリープアノリッジ信号XSLACKを出力する。Cユニット4は、ISLACKとXSLACK

C Kの2つのスリープアクノリッジ信号のAND論理をとり、スリープ許可信号B S L E E Pを出力するAND回路(AND)52を有する。

【0017】また、Cユニット4は、セクタ53、54、55のそれぞれに対してクロックの切り替えタイミングを制御する切り替えタイミング制御回路51を有する。この切り替えタイミング制御回路51は、現クロックより速いクロックへの切り替え対象となるユニット、たとえばEユニット31やTユニット32に対して、通常状態からスリープ状態へ移行するタイミング、およびスリープ状態から通常状態へ移行するタイミングの制御をおこなう。したがって、切り替えタイミング制御回路51はスリープ制御手段としての機能を有する。

【0018】切り替えタイミング制御回路51はスリープ許可信号B S L E E Pを受け取る、と、クロックソース切り替え信号とスリープ信号E S L E E P、T S L E E Pを生成する。クロックソース切り替え信号はクロックソース切り替えレジスタ44の格納値に基づいて生成され、各セクタ53、54、55に供給される。E S L E E Pで表されるスリープ信号はEユニット31に供給される。T S L E E Pで表されるスリープ信号はTユニット32に供給される。切り替えタイミング制御回路51は、クロックソース切り替え信号の出力タイミングとスリープ信号E S L E E P、T S L E E Pの出力タイミングの前後関係を制御することが可能となっている。

【0019】上述した構成のマイクロコントローラ3では、そのリセット解除後に、まず2分周器41により外部発振入力(X0)の2分周で動作する。この2分周で動作している期間に各種初期化動作がおこなわれる。つづいて、P L L 42の遊倍率が設定され、P L L 42の発振が安定した後、分周設定レジスタ48に、目的の周波数になるように分周比が設定される。その後、内部回路への供給クロックを外部発振入力(X0)の2分周からP L L系クロックへ切り替えるために、クロックソース切り替えレジスタ44に「1」を書き込んでP L L 42をイネーブルさせる。

【0020】これと同時に、または相前後して、切り替えタイミング制御回路51により、クロック切り替え対象ユニットのクロックを停止させてスリープ状態に移行させ、消費電力を抑える。その後、タイマ等によりウェイク・アップ割り込み要因を発生させ、実動作安定待ち時間の経過後、ウェイク・アップ割り込み要因によりスリープ要求を取り下げてクロック切り替え対象ユニットのクロック動作許可をおこなう。

【0021】つぎに、クロックソースの切り替えタイミングと、クロック切り替え対象ユニットの状態遷移タイミングとの前後関係、および各前後関係における消費電流I c cおよび内部電圧V c cの変化について説明する。図2は、クロックソースを低速から高速に切り替える際に、クロック切り替え対象ユニットをスリープ状態

へ遷移させてからクロックの切り替えをおこない、切り替えたクロックの発振および内部電圧が安定した後にスリープ状態から通常状態へ復帰させる場合の消費電流I c cおよび内部電圧V c cの変化を示す波形図である。

【0022】図3は、クロックソースを低速から高速に切り替える際に、クロックの切り替えをおこなった後にクロック切り替え対象ユニットをスリープ状態へ移行させ、切り替えたクロックの発振および内部電圧が安定した後にスリープ状態から通常状態へ復帰させる場合の消費電流I c cおよび内部電圧V c cの変化を示す波形図である。

【0023】図4は、クロックソースを低速から高速に切り替える際に、クロックの切り替えと同時にクロック切り替え対象ユニットをスリープ状態へ移行させ、切り替えたクロックの発振および内部電圧が安定した後にスリープ状態から通常状態へ復帰させる場合の消費電流I c cおよび内部電圧V c cの変化を示す波形図である。図2～図4に示すいずれの場合でも、内部電圧V c cは安定するまでの間、保証電圧よりも高い電圧に保持される。

【0024】図5は、クロックを切り替えた複数のユニットを一時にではなく、2回以上、たとえば図示例では3回に分けてスリープ状態から通常状態へ復帰させる場合の消費電流I c cおよび内部電圧V c cの変化を示す波形図である。これは、たとえばEユニット31に供給したスリープ信号E S L E E Pの解除と、Tユニット32に供給したスリープ信号T S L E E Pの解除を同時ではなく、異なるタイミングでおこなうものである。図5に示す場合も、内部電圧V c cは安定するまでの間、保証電圧よりも高い電圧に保持される。

【0025】図6は、クロックソースを低速から高速に切り替える際に、あるクロック切り替え対象ユニットをスリープ状態へ移行させてからクロックの切り替えをおこない、切り替えたクロックの発振および内部電圧が安定した後にスリープ状態から通常状態へ復帰させてから、別のユニットのクロック切り替えについて同様のことをおこなう場合の消費電流I c cおよび内部電圧V c cの変化を示す波形図である。

【0026】図7は、クロックソースを低速から高速に切り替える際に、あるクロック切り替え対象ユニットについてクロック切り替えをおこなった後にスリープ状態へ移行させ、切り替えたクロックの発振および内部電圧が安定した後にスリープ状態から通常状態へ復帰させてから、別のユニットのクロック切り替えについて同様のことをおこなう場合の消費電流I c cおよび内部電圧V c cの変化を示す波形図である。

【0027】図8は、クロックソースを低速から高速に切り替える際に、あるクロック切り替え対象ユニットについてクロック切り替えと同時にスリープ状態へ移行させ、切り替えたクロックの発振および内部電圧が安定し

後にスリープ状態から通常状態へ復帰させてから、別のユニットのクロック切り替えについて同様のことをおこなう場合の消費電流  $I_{cc}$  および内部電圧  $V_{cc}$  の変化を示す波形図である。図6～図8に示すいずれの場合でも、各ユニットに対するクロック切り替え時に、内部電圧  $V_{cc}$  は安定するまでの間、保証電圧よりも高い電圧に保持される。

【0028】図9は、クロックソースを低速から高速に切り替える際に、クロックスピードを段階的に速くなるように切り替える場合の消費電流  $I_{cc}$  および内部電圧  $V_{cc}$  の変化を示す波形図である。この場合には、クロックスピードの切り替え後、内部電圧  $V_{cc}$  が安定した後にクロックスピードを一段速くする。

【0029】図10は、クロックソースを低速から高速に切り替える際に、クロックスピードを段階的に速くするとともに、クロックスピードを一段速くするたびに、その直後にスリープ状態へ遷移させ、速くしたクロックの発振および内部電圧が安定した後にスリープ状態から通常状態へ復帰させる場合の消費電流  $I_{cc}$  および内部電圧  $V_{cc}$  の変化を示す波形図である。図9および図10に示すいずれの場合でも、クロックを段階的に速くするたびに、内部電圧  $V_{cc}$  は安定するまでの間、保証電圧よりも高い電圧に保持される。

【0030】つぎに、上述したクロックソースの切り替えおよびクロック切り替え対象ユニットの状態遷移のタイミング制御をソフトウェアでおこなう場合の処理手順について説明する。このタイミング制御をソフトウェアでおこなう場合には、CPUが、このソフトウェアのプログラムを記憶したROMなどからそのプログラムを読み出して実行する。その際、CPUはワークエリアとしてRAMなどを利用する。

【0031】図11は、図2に示すクロックソースの切り替えおよびクロック切り替え対象ユニットの状態遷移のタイミング制御をソフトウェアでおこなう場合の処理手順を示すフローチャートである。図11に示すように、まずリセット解除後に、2分周器41により外部発振入力(X0)の2分周で動作させ、この期間にPLL42の通信率の設定など、各種初期設定をおこなう(ステップS111)。つづいて、PLL42の発振が安定した後(ステップS112)、クロック切り替え対象ユニットをスリープ状態に遷移させる(ステップS113)。

【0032】その後、PLL42をイネーブルさせて、内部回路への供給クロックを外部発振入力(X0)の2分周からPLL系クロックへ切り替える(ステップS114)。また、n分周器45、46、47の分周比を設定する。そして、ウェイク・アップ割り込み要因が発生するまで待機する(ステップS115)。実動作安定待ち時間の経過後、ウェイク・アップ割り込み要因によりスリープ解除をおこない、クロック切り替え対象ユニ

ットのクロック動作許可をおこなう(ステップS116)。これによって高速動作が可能となる。そして処理を終了する。

【0033】なお、図3に示すクロックソースの切り替えおよびクロック切り替え対象ユニットの状態遷移のタイミング制御をソフトウェアでおこなう場合には、図11に示すフローチャートにおいて、スリープ状態に遷移させるステップ(ステップS113)と、PLL42をイネーブルさせるステップ(ステップS114)との順序を入れ替えればよい。また、図4に示すクロックソースの切り替えおよびクロック切り替え対象ユニットの状態遷移のタイミング制御をソフトウェアでおこなう場合には、図11に示すフローチャートにおいて、スリープ状態に遷移させるステップ(ステップS113)と、PLL42をイネーブルさせるステップ(ステップS114)とを同時におこなうようにすればよい。

【0034】図12は、図5に示す段階的にスリープ状態から復帰させる制御の処理手順を示すフローチャートである。図12に示すように、まずリセット解除後に、2分周器41により外部発振入力(X0)の2分周で動作させ、この期間にPLL42の通信率の設定など、各種初期設定をおこなう(ステップS121)。つづいて、PLL42の発振が安定した後(ステップS122)、すべてのクロック切り替え対象ユニットをスリープ状態に遷移させる(ステップS123)。

【0035】その後、PLL42をイネーブルさせて、内部回路への供給クロックを外部発振入力(X0)の2分周からPLL系クロックへ切り替える(ステップS124)。また、n分周器45、46、47の分周比を設定する。そして、ウェイク・アップ割り込み要因が発生するまで待機する(ステップS125)。実動作安定待ち時間の経過後、一部のクロック切り替え対象ユニットに対して、ウェイク・アップ割り込み要因によりスリープ解除をおこない、その一部のクロック切り替え対象ユニットのクロック動作許可をおこなう(ステップS126)。

【0036】すべてのクロック切り替え対象ユニットのスリープ解除が終了するまで、スリープ状態のクロック切り替え対象ユニットに対して順次ウェイク・アップ割り込み要因によるスリープ解除をおこなう。すべてのクロック切り替え対象ユニットのスリープ解除が終了し、全クロックが復帰したら(ステップS127)、処理を終了する。なお、スリープ状態に遷移させるステップ(ステップS123)と、PLL42をイネーブルさせるステップ(ステップS124)とは実行順序を逆にしたり、同時におこなうようにすることも可能である。

【0037】図13は、図6に示すクロックソースの切り替えおよびクロック切り替え対象ユニットの状態遷移のタイミング制御をソフトウェアでおこなう場合の処理手順を示すフローチャートである。図13に示すよう

に、まずリセット解除後に、2分周器41により外部発振入力(X0)の2分周で動作させ、この期間にPLL42の通信率の設定など、各種初期設定をおこなう(ステップS131)。つづいて、PLL42の発振が安定した後(ステップS132)、一部のクロック切り替え対象ユニットをスリープ状態に移させる(ステップS133)。

【0038】その後、PLL42をイネーブルさせて、スリープ状態のクロック切り替え対象ユニットへの供給クロックを外部発振入力(X0)の2分周からPLL系クロックへ切り替える(ステップS134)。また、n分周器45、46、47の分周比を設定する。そして、ウェイク・アップ割り込み要因が発生するまで待機する(ステップS135)。実動作安定待ち時間の経過後、スリープ状態のクロック切り替え対象ユニットに対してウェイク・アップ割り込み要因によりスリープ解除をおこない、クロック切り替え対象ユニットのクロック動作許可をおこなう(ステップS136)。

【0039】すべてのクロック切り替え対象ユニットのクロック切り替えが終了するまで、残りのクロック切り替え対象ユニットの一部または全部に対して、スリープ状態への遷移(ステップS133)、PLL系クロックへの切り替え(ステップS134)、ウェイク・アップ割り込み要因の発生待ち(ステップS135)、およびスリープ解除(ステップS136)をおこなう。すべてのクロック切り替え対象ユニットのクロック切り替えが終了したら(ステップS137)、処理を終了する。なお、スリープ状態に移させるステップ(ステップS133)と、PLL42をイネーブルさせるステップ(ステップS134)とは実行順序を逆にしたり、同時におこなうようにすることも可能である。

【0040】図14は、図9に示すクロックスピードを段階的に速くする制御をソフトウェアでおこなう場合の処理手順を示すフローチャートである。図14に示すように、まずリセット解除後に、2分周器41により外部発振入力(X0)の2分周で動作させ、この期間に各種初期設定をおこなう。この初期設定において、所要の周波数nを設定し、PLL42の通信率を設定する(ステップS141)。つづいて、PLL42の発振が安定するのを待ち(ステップS142)、PLL42をイネーブルさせて、内部回路への供給クロックを外部発振入力(X0)の2分周からPLL系クロックへ切り替える。

【0041】また、n分周器45、46、47の分周比を設定し、出力周波数を $n \times 1/2^*$ とする(ステップS143)。そして、実動作安定待ち時間の経過後(ステップS144)、mの値がゼロになるまでmの値を1ずつデクリメントして(ステップS146)、クロックスピードを段階的に上げていく。なお、デクリメントする数は1には限定されず、また、一定数ずつでなくてもよい。mの値がゼロになったら(ステップS145)、

処理を終了する。

【0042】図15は、図10に示すスリープ状態にしながらクロックスピードを段階的に速くする制御をソフトウェアでおこなう場合の処理手順を示すフローチャートである。図15に示すように、まずリセット解除後に、2分周器41により外部発振入力(X0)の2分周で動作させ、この期間に各種初期設定をおこなう。この初期設定において、所要の周波数nを設定し、PLL42の通信率を設定する(ステップS151)。

10 【0043】つづいて、PLL42の発振が安定するのを待ち(ステップS152)、PLL42をイネーブルさせて、内部回路への供給クロックを外部発振入力(X0)の2分周からPLL系クロックへ切り替える。また、n分周器45、46、47の分周比を設定し、出力周波数を $n \times 1/2^*$ とする(ステップS153)。また、クロック切り替え対象ユニットをスリープ状態に移させる(ステップS154)。ウェイク・アップ割り込み要因が発生するまで待機し(ステップS155)、実動作安定待ち時間の経過後、ウェイク・アップ割り込み要因によりスリープ解除をおこない、クロック切り替え対象ユニットのクロック動作許可をおこなう(ステップS156)。

20 【0044】そして、mの値がゼロになるまでmの値を1ずつデクリメントし(ステップS158)、クロックスピードを段階ずつ上げる。なお、デクリメントする数は1には限定されず、また、一定数ずつでなくてもよい。クロックスピードを上げるたびにスリープ状態への遷移およびスリープ解除をおこなう。このようにしてクロックスピードを段階的に上げていく。そして、mの値がゼロになったら(ステップS157)、処理を終了する。なお、PLL42をイネーブルさせるステップ(ステップS153)と、スリープ状態に移させるステップ(ステップS154)とは実行順序を逆にしたり、同時におこなうようにすることも可能である。

30 【0045】上述の実施の形態によれば、クロックソースを低速クロックから高速クロックに切り替える際に、クロックソースの切り替えと同時にまたは相前後してクロック切り替え対象となるユニットを一旦スリープモードに移させることによって、内部抵抗が大きくなって消費電流が減るので、電圧降下が緩慢になり、内部電圧が復帰するまで保証電圧を保持することができる。また、クロック切り替え対象となるユニットにおいて、スリープモードへの移行時の状態が保持される。したがって、クロックソースの切り替え時に、誤動作が発生するのを回避することができる。

40 【0046】また、上述の実施の形態によれば、クロックソースを低速クロックから高速クロックに切り替える際に、クロックスピードを段階的に速くすることによって、消費電流の変化幅を少しずつにして内部電圧の降下を緩和することができるので、内部電圧が復帰するま



13

で保証電圧を保持することができる。したがって、この場合にもクロックソースの切り替え時に、誤動作が発生するのを回避することができる。

【0047】以上において本発明は、上述の実施の形態に限らず、種々変更可能である。たとえば、すべてのクロック切り替え対象ユニットに対して同時にスリープ解除をおこなってもよいし、クロック切り替え対象ユニットのうちの一部ずつに対してスリープ解除をおこなってもよい。また、すべてのクロック切り替え対象ユニットに対して同時にクロックの切り替えをおこなってもよいし、クロック切り替え対象ユニットのうちの一部ずつに対してクロックの切り替えをおこなってもよい。また、周波数の切り替え対象となるクロックの数は、CLKB、CLKTおよびCLKPの3個に限らず、1個、2個または4個以上でもよい。また、外部クロック（外部振盪入力）の数は2個以上でもよい。

【0048】（付記1）低速クロックを供給する低速クロック供給手段と、前記低速クロックよりも周波数の高い高速クロックを供給する高速クロック供給手段と、前記低速クロック供給手段から出力された低速クロックと前記高速クロック供給手段から出力された高速クロックのいずれか一方を選択する選択手段と、前記選択手段による出力クロックの選択を制御する制御手段と、現クロックより速いクロックへの切り替え対象となる1または2以上のユニットに、前記選択手段が前記現クロックより速いクロックを選択して出力する前に当該ユニットをスリープ状態に移させ、かつ前記現クロックより速いクロックが出力された後に当該ユニットを通常状態に移させるスリープ制御手段と、を具備することを特徴とするクロック制御装置。

【0049】（付記2）低速クロックを供給する低速クロック供給手段と、前記低速クロックよりも周波数の高い高速クロックを供給する高速クロック供給手段と、前記低速クロック供給手段から出力された低速クロックと前記高速クロック供給手段から出力された高速クロックのいずれか一方を選択する選択手段と、前記選択手段による出力クロックの選択を制御する制御手段と、現クロックより速いクロックへの切り替え対象となる1または2以上のユニットに、前記選択手段が前記現クロックより速いクロックを選択して出力した直後に当該ユニットをスリープ状態に移させ、かつその後再び当該ユニットを通常状態に移させるスリープ制御手段と、を具備することを特徴とするクロック制御装置。

【0050】（付記3）低速クロックを供給する低速クロック供給手段と、前記低速クロックよりも周波数の高い高速クロックを供給する高速クロック供給手段と、前記低速クロック供給手段から出力された低速クロックと前記高速クロック供給手段から出力された高速クロックのいずれか一方を選択する選択手段と、前記選択手段による出力クロックの選択を制御する制御手段と、現クロ

14

ックより速いクロックへの切り替え対象となる1または2以上のユニットに、前記選択手段が前記現クロックより速いクロックを選択して出力すると同時に当該ユニットをスリープ状態に移させ、かつその後再び当該ユニットを通常状態に移させるスリープ制御手段と、を具備することを特徴とするクロック制御装置。

【0051】（付記4）前記現クロックより速いクロックへの切り替え対象となるユニットが複数ある場合、前記スリープ制御手段は、前記現クロックより速いクロックへの切り替え時にスリープ状態に移させた複数のユニットを2回以上に分けて通常状態に移させることを特徴とする付記1～3のいずれか一つに記載のクロック制御装置。

【0052】（付記5）低速クロックを供給する低速クロック供給手段と、前記低速クロックよりも周波数の高い高速クロックを供給する高速クロック供給手段と、前記低速クロック供給手段から出力された低速クロックと前記高速クロック供給手段から出力された高速クロックのいずれか一方を選択する選択手段と、前記選択手段による出力クロックの選択を制御する制御手段と、現クロックより速いクロックへの切り替え対象となる複数のユニットに対し、1または2以上のユニット毎にまとめて、前記選択手段が前記現クロックより速いクロックを選択して出力する前に当該ユニットをスリープ状態に移させ、かつ前記現クロックより速いクロックが出力された後に当該ユニットを通常状態に移させるスリープ制御手段と、を具備することを特徴とするクロック制御装置。

【0053】（付記6）低速クロックを供給する低速クロック供給手段と、前記低速クロックよりも周波数の高い高速クロックを供給する高速クロック供給手段と、前記低速クロック供給手段から出力された低速クロックと前記高速クロック供給手段から出力された高速クロックのいずれか一方を選択する選択手段と、前記選択手段による出力クロックの選択を制御する制御手段と、現クロックより速いクロックへの切り替え対象となる複数のユニットに対し、1または2以上のユニット毎にまとめて、前記選択手段が前記現クロックより速いクロックを選択して出力した直後に当該ユニットをスリープ状態に移させ、かつその後再び当該ユニットを通常状態に移させるスリープ制御手段と、を具備することを特徴とするクロック制御装置。

【0054】（付記7）低速クロックを供給する低速クロック供給手段と、前記低速クロックよりも周波数の高い高速クロックを供給する高速クロック供給手段と、前記低速クロック供給手段から出力された低速クロックと前記高速クロック供給手段から出力された高速クロックのいずれか一方を選択する選択手段と、前記選択手段による出力クロックの選択を制御する制御手段と、現クロックより速いクロックへの切り替え対象となる複数のユ

ニットに対し、1または2以上のユニット毎にまとめて、前記選択手段が前記現クロックより速いクロックを選択して出力すると同時に当該ユニットをスリープ状態に遷移させ、かつその後再び当該ユニットを通常状態に遷移させるスリープ制御手段と、を具備することを特徴とするクロック制御装置。

【0055】(付記8) 低速クロックを供給する低速クロック供給手段と、前記低速クロックよりも周波数の高い高速クロックを供給する高速クロック供給手段と、前記低速クロック供給手段から出力された低速クロックと前記高速クロック供給手段から出力された高速クロックのいずれか一方を選択する選択手段と、前記選択手段による出力クロックの選択を制御する制御手段と、前記選択手段により選択されて出力された高速クロックを分周する分周手段と、前記分周手段が現クロックより速いクロックへの切り替え対象となるユニットに供給するクロックが段階的に速くなるように、前記分周手段の分周比を設定する分周比設定手段と、を具備することを特徴とするクロック制御装置。

【0056】(付記9) 前記現クロックより速いクロックへの切り替え対象となるユニットに、前記分周手段が分周比の異なるクロックを出力するたびに、前記分周比の異なるクロックの出力直後に当該ユニットをスリープ状態に遷移させ、かつその後再び当該ユニットを通常状態に遷移させるスリープ制御手段をさらに具備することを特徴とする付記8に記載のクロック制御装置。

【0057】(付記10) 現クロックより速いクロックへの切り替え対象となる1または2以上のユニットをスリープ状態に遷移させる工程と、スリープ状態の当該ユニットに供給するクロックを前記現クロックより速いクロックに切り替える工程と、前記現クロックより速いクロックに切り替えた当該ユニットを通常状態に遷移させる工程と、を含むことを特徴とするクロック制御方法。

【0058】(付記11) 現クロックより速いクロックへの切り替え対象となる1または2以上のユニットに供給するクロックを前記現クロックより速いクロックに切り替える工程と、前記現クロックより速いクロックに切り替えた当該ユニットをスリープ状態に遷移させる工程と、スリープ状態の当該ユニットを通常状態に遷移させる工程と、を含むことを特徴とするクロック制御方法。

【0059】(付記12) 現クロックより速いクロックへの切り替え対象となる1または2以上のユニットに前記現クロックより速いクロックを供給すると同時に当該ユニットをスリープ状態に遷移させる工程と、スリープ状態の当該ユニットを通常状態に遷移させる工程と、を含むことを特徴とするクロック制御方法。

【0060】(付記13) 前記現クロックより速いクロックへの切り替え対象となるユニットが複数ある場合、前記現クロックより速いクロックへの切り替え時にスリープ状態に遷移させた複数のユニットを2回以上に分け

て通常状態に遷移させることを特徴とする付記10～12のいずれか一つに記載のクロック制御方法。

【0061】(付記14) 現クロックより速いクロックへの切り替え対象となるユニットをスリープ状態に遷移させる工程と、スリープ状態の当該ユニットに供給するクロックを前記現クロックより速いクロックに切り替える工程と、前記現クロックより速いクロックに切り替えた当該ユニットを通常状態に遷移させる工程と、を1または2以上のユニット毎にまとめておこなうことを特徴とするクロック制御方法。

【0062】(付記15) 現クロックより速いクロックへの切り替え対象となるユニットに供給するクロックを前記現クロックより速いクロックに切り替える工程と、前記現クロックより速いクロックに切り替えた当該ユニットをスリープ状態に遷移させる工程と、スリープ状態の当該ユニットを通常状態に遷移させる工程と、を1または2以上のユニット毎にまとめておこなうことを特徴とするクロック制御方法。

【0063】(付記16) 現クロックより速いクロックへの切り替え対象となるユニットに前記現クロックより速いクロックを供給すると同時に当該ユニットをスリープ状態に遷移させる工程と、スリープ状態の当該ユニットを通常状態に遷移させる工程と、を1または2以上のユニット毎にまとめておこなうことを特徴とするクロック制御方法。

【0064】(付記17) 現クロックより速いクロックへの切り替え対象となるユニットにクロックを段階的に速くするように供給することを特徴とするクロック制御方法。

【0065】(付記18) 前記現クロックより速いクロックへの切り替え対象となるユニットに供給するクロックが速くなるたびに、前記高速化されたクロックの出力直後に当該ユニットをスリープ状態に遷移させた後に再び当該ユニットを通常状態に遷移させることを特徴とする付記17に記載のクロック制御方法。

【0066】

【発明の効果】本発明によれば、クロックソースを低速クロックから高速クロックに切り替える際に、クロック切り替え対象となるユニットを一旦スリープモードに移行することによって、内部抵抗が大きくなり、電圧降下の時間軸に対する度合いがさがるので、内部電圧が復帰するまで保証電圧を保持することができる。また、スリープモードへの移行時の状態が保持される。したがって、クロックソースの切り替え時に、誤動作が発生するのを回避することができる。

【0067】また、別の発明によれば、クロックソースを低速クロックから高速クロックに切り替える際に、クロックスピードを段階的に速くすることによって、消費電流の変化幅が少しづつになり、内部電圧の降下を緩和することができるので、内部電圧が復帰するまで保証電

圧を保持することができる。したがって、クロックソースの切り替え時に、誤動作が発生するのを回避することができる。

#### 【図面の簡単な説明】

【図 1】本発明にかかるクロック制御ユニットを搭載したマイクロコントローラの要部を示すブロック図である。

【図 2】図 1 に示すクロック制御ユニットにおいてスリープ状態にしてからクロックの切り替えをおこなう場合のクロック遷移時の電流および電圧の変化を模式的に示す波形図である。

【図 3】図 1 に示すクロック制御ユニットにおいてクロックを切り替えてからスリープ状態にする場合のクロック遷移時の電流および電圧の変化を模式的に示す波形図である。

【図 4】図 1 に示すクロック制御ユニットにおいてクロックの切り替えと同時にスリープ状態にする場合のクロック遷移時の電流および電圧の変化を模式的に示す波形図である。

【図 5】図 1 に示すクロック制御ユニットにおいてスリープ状態から通常状態へ段階的に復帰させる場合の電流および電圧の変化を模式的に示す波形図である。

【図 6】図 1 に示すクロック制御ユニットにおいてユニット毎にスリープ状態にしてからクロックの切り替えをおこなう場合のクロック遷移時の電流および電圧の変化を模式的に示す波形図である。

【図 7】図 1 に示すクロック制御ユニットにおいてユニット毎にクロックを切り替えてからスリープ状態にする場合のクロック遷移時の電流および電圧の変化を模式的に示す波形図である。

【図 8】図 1 に示すクロック制御ユニットにおいてユニット毎にクロックの切り替えと同時にスリープ状態にする場合のクロック遷移時の電流および電圧の変化を模式的に示す波形図である。

【図 9】図 1 に示すクロック制御ユニットにおいてクロックスピードを段階的に速くなるように切り替える場合の電流および電圧の変化を模式的に示す波形図である。

【図 10】図 1 に示すクロック制御ユニットにおいてスリープ状態にしながらクロックスピードを段階的に速くなるように切り替える場合の電流および電圧の変化を模式的に示す波形図である。

【図 11】図 2 に示すクロックソースの切り替えおよびクロック切り替え対象ユニットの状態遷移のタイミング制御をソフトウェアでおこなう場合の処理手順を示すフローチャートである。

【図 12】図 5 に示す段階的にスリープ状態から復帰させる制御をソフトウェアでおこなう場合の処理手順を示すフローチャートである。

【図 13】図 6 に示すクロックソースの切り替えおよびクロック切り替え対象ユニットの状態遷移のタイミング制御をソフトウェアでおこなう場合の処理手順を示すフローチャートである。

【図 14】図 9 に示すクロックスピードを段階的に速くする制御をソフトウェアでおこなう場合の処理手順を示すフローチャートである。

【図 15】図 10 に示すスリープ状態にしながらクロックスピードを段階的に速くする制御をソフトウェアでおこなう場合の処理手順を示すフローチャートである。

【図 16】従来のクロック制御ユニットを搭載したマイクロコントローラの要部を示すブロック図である。

【図 17】図 16 に示す従来のクロック制御ユニットによるクロック遷移時の電流および電圧の変化を模式的に示す波形図である。

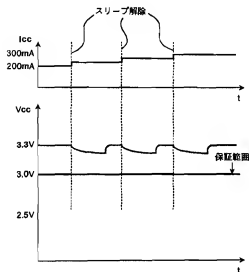
#### 【符号の説明】

- 4 C ユニット (クロック制御ユニット)
- 41 2 分周器 (低速クロック供給手段)
- 42 PLL (高速クロック供給手段)
- 44 クロックソース切り替えレジスタ (制御手段)
- 45, 46, 47 n 分周器 (分周手段)
- 48 分周設定レジスタ (分周比設定手段)
- 51 切り替えタイミング制御回路 (スリープ制御手段)
- 53, 54, 55 セレクタ (選択手段)



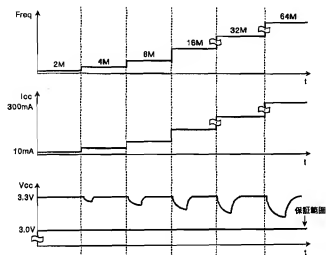
【図5】

図1に示すクロック制御ユニットにおいてスリープ状態から通常状態へ段階的に復帰させる場合の電流および電圧の変化を模式的に示す波形図



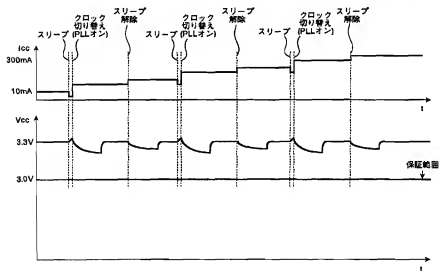
【図9】

図1に示すクロック制御ユニットにおいてクロックスピードを段階的に速くなるように切り替える場合の電流および電圧の変化を模式的に示す波形図



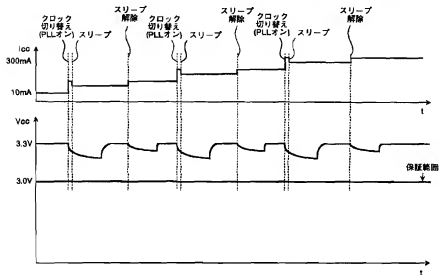
【図6】

図1に示すクロック制御ユニットにおいてユニット毎にスリープ状態にしてからクロックの切り替えをおこなう場合のクロック遷移時の電流および電圧の変化を模式的に示す波形図



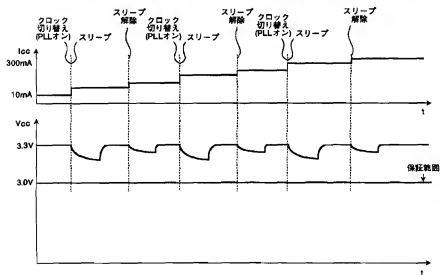
【図7】

図1に示すクロック制御ユニットにおいてユニット毎にクロックを切り替えてからスリープ状態にする場合のクロック遷移時の電流および電圧の変化を模式的に示す波形図



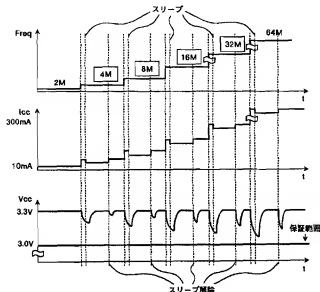
【図8】

図1に示すクロック制御ユニットにおいてユニット毎にクロックの切り替えと同時にスリープ状態にする場合のクロック遷移時の電流および電圧の変化を模式的に示す波形図



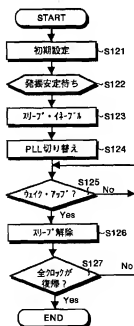
【図10】

図1に示すクロック制御ユニットにおいてスリープ状態にしながらクロックスピードを段階的に速くするように切り替える場合の電流および電圧の変化を模式的に示す波形図



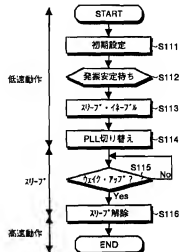
【図12】

図5に示す段階的にスリープ状態から復帰させる制御をソフトウェアでおこなう場合の処理手順を示すフローチャート



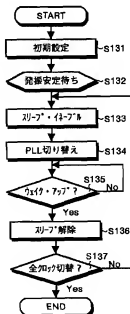
【図11】

図2に示すクロックソースの切り替えおよびクロック切り替え対象ユニットの状態遷移のタイミング制御をソフトウェアでおこなう場合の処理手順を示すフローチャート



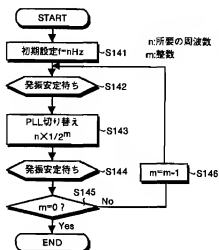
【図13】

図6に示すクロックソースの切り替えおよびクロック切り替え対象ユニットの状態遷移のタイミング制御をソフトウェアでおこなう場合の処理手順を示すフローチャート



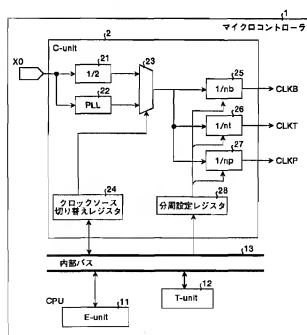
【図14】

図9に示すクロックスピードを段階的に速くする制御をソフトウェアでこなす場合の処理手順を示すフローチャート



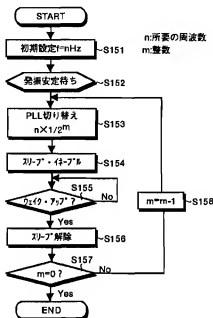
【図16】

従来のクロック制御ユニットを搭載したマイクロコントローラの  
要部を示すブロック図



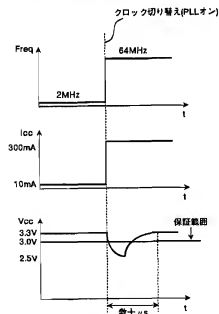
【図15】

図10に示すスリープ状態にしながらクロックスピードを段階的に速くする  
制御をソフトウェアでこなす場合の処理手順を示すフローチャート



【図17】

図16に示す従来のクロック制御ユニットによるクロック遷移時の  
電流および電圧の変化を模式的に示す波形図





## フロントページの続き

(72)発明者 原 章雄

神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内

(72)発明者 北川 宏二

神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内F ターム(参考) 5B079 AA07 BA04 BC05 BC07 DD05  
5J055 AX12 AX21 AX59 BX03 CX00  
DX01 EX02 EZ00 EZ13 EZ25  
EZ29 EZ30 EZ33 EZ39 GX01  
GX04